第6章

# 1.485GHzシリアル・インターフェース「HD-SDI」搭載のポイント

## ── デバイス選択や回路設計，基板設計のガイドライン

川上 誉

**放送局ではHDTV信号をアナログで扱うことは少なくなってきており，ディジタル信号を同軸ケーブル1本で伝送できるHD-SDI（high definition-serial digital interface）方式が主流になっている．ここでは，HD-SDIを採用する機器の開発のポイントについて述べる．ここで紹介する内容は，HD-SDI以外の規格を採用した高速伝送基板を開発する際にも役立つ．（編集部）**

HD-SDIは，日本ではBTA S-004，米国ではSMPTE 292Mの名称で規格化されています．HD-SDIでは，同軸ケーブル・インターフェースおよび光ファイバ・インターフェースが規定されています．HD-SDIでより広く利用されている同軸ケーブル・インターフェースについてのおもな規定を**表1**に示します．同軸ケーブルによる伝送では，最大伝送距離の規定はありませんが，最大伝送損失の規定はあります．使う同軸ケーブルによって最大伝送距離が異なり，例えば5CFB同軸ケーブルを使用した場合は100mの伝送が可能でなければなりません．ケーブル伝送損失を補償するため，受信機側にケーブル・イコライザの挿入が必要になっています．

## 1．ハイビジョン信号を伝送するためのデバイス

ハイビジョンの映像信号は，コンポーネント信号（Y, Pb，Pr）で，ディジタル・データはY信号（輝度信号）10ビットと，Pb，Pr（色差信号）を交互に重ねたC信号10ビットの合計20ビットで構成されています．伝送路符号化による伝送レートの増加はありません．よって，フレーム周波数が30Hzの場合は74.25MHz×20ビット＝1.485GHz，フレーム周波数が30/1.001Hzの場合は74.25/1.001MHz×20ビット＝1.485/1.001GHzとなります．ハイビジョン機器では，この2種類の周波数に対応することを求められます．ハイビジョン信号を伝送するためのデバイスを以下に示します．



### ● 専用の送信/受信LSIを利用する

ハイビジョン用としてよく使われているデバイスは，カナダGennum社のHD-LINX IIチップセットや，米国National Semiconductor社のLSIです．これらのチップセットはクロック・リカバリ，ケーブル・イコライザ（EQ），ケーブル・ドライバ（CD），シリアライザ（SER），デシリアライザ

**表1[(1)]　同軸インターフェース・ケーブルのおもな規定**

| | |
|---|---|
| シリアル・クロック周波数 | 1.485GHzおよび（1.485/1.001）GHz |
| 出力信号振幅 | 800mV$_{p\text{-}p}$±10％<br>75Ω終端抵抗にかかる電圧で同軸ケーブルは1m以内 |
| コネクタ・タイプ | 75Ω BNC型 |
| ケーブル種類 | 75Ω同軸ケーブル |
| 入出力インピーダンス | 75Ω不平衡型 |
| 伝送損失 | 20dB以下（$f_c$/2において） |
| 反射損失 | 15dB以上（5MHz以上，$f_c$/2未満）<br>10dB以上（$f_c$/2以上，$f_c$以下）<br>※$f_c$=1.485GHzおよび（1.485/1.001）GHz |
| 立ち上がり時間 | 270ps未満 |
| 立ち下がり時間 | 270ps未満 |
| 立ち上がりと立ち下がりの差 | 100ps以内 |

KeyWord　HD-SDI，BTA S-004，SMPTE 292M，1.485GHz，HD-LINX II，PM8358，HOTLink II，WFM7100，TG2000，Stratix GX，Virtex-II Pro，MAX3812，LMH0044，3Gbps SDI

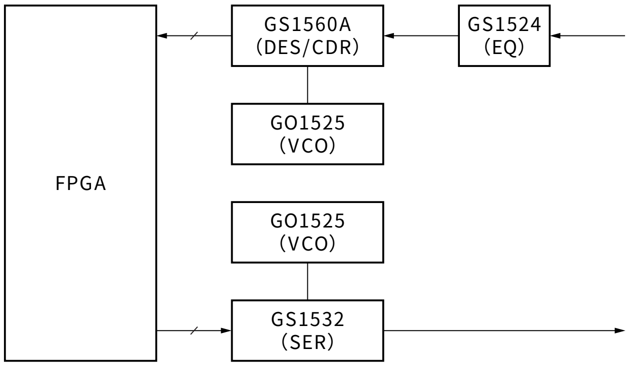



**図1　シングル・チャネルのハイビジョン信号を送受信するブロックの構成**
専用の送受信ICを利用するメリットは，開発者がHD-SDIのデータ・フォーマットについて詳しく知らなくても開発できる点にある

（DES）などで構成されます．

専用のチップセットを利用するメリットは，開発者がHD-SDIのデータ・フォーマットについて詳しく知らなくても開発できる点で，エンジニアはその分ユーザ論理などのアプリケーション部分の回路設計に注力できます．**図1**にHD-LINX Ⅱチップセットを使ったシングル・チャネル機器の簡単なブロック図を示します．

## ● SerDesデバイスとFPGAを利用する

別の方法として，単純なSerDes（シリアライザ/デシリアライザ）デバイスとFPGAを組み合わせる方法が考えられます．SerDesデバイスとしては米国PMC-Sierra社のPM8358や，米国Cypress Semiconductor社のHOTLink Ⅱシリーズを利用できます．この構成のメリットは，チップ数を抑えたまま多チャネルを扱える機器を開発できる点にあります．そして，安価なFPGAなどとの組み合わせにより，低コストでシステムを実現できます．また，**図2**にはHOTLink Ⅱシリーズを使用した4チャネル機器の簡単なブロック図を示します．

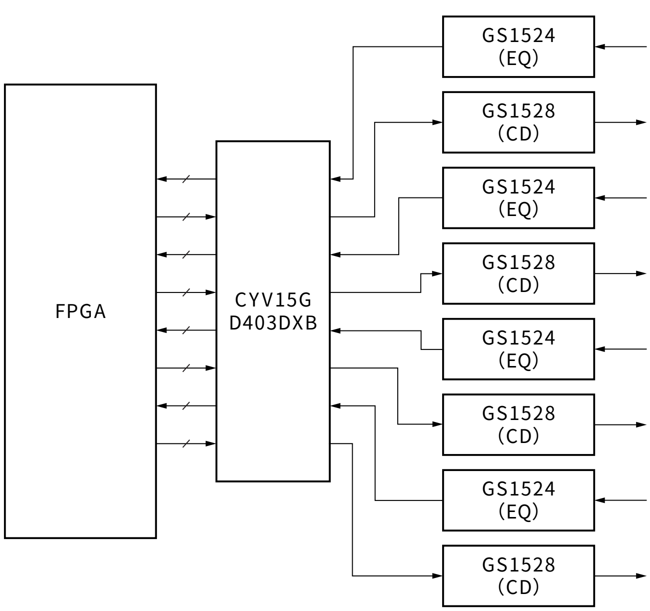



**図2　4チャネルのハイビジョン信号を送受信するブロックの構成**
SerDesデバイスとFPGAを利用するメリットは，チップ数を抑えたまま多チャネルを扱える機器を開発できる点にある

## ● SerDes内蔵FPGAを利用する

1.5Gbps以上の高速シリアル・インターフェース・ブロック（マルチギガビット・トランシーバ・ブロック）を搭載するFPGAとして，米国Altera社のStratix GX/Stratix Ⅱ GXシリーズや米国Xilinx社のVirtex-Ⅱ Pro/Virtex-4シリーズなどがあります．こうした高速SerDes内蔵のFPGAを利用する方法は，チップ数や専用チップにかかるコスト，基板上の専有面積，基板設計，ユーザ論理との統合，複数チャネルの構成などを考慮すると，もっともスマートかもしれません．ただし，FPGAのマルチギガビット・トランシーバ専用端子からの入出力は，通常，差動信号になっており，HD-SDIの同軸ケーブルによる不平衡伝送やドライブ能力などの問題から，出力は別途，ケーブル・ドライバなどを使ってバッファする必要があります．また，入力はケーブル・イコライザなどを使って信号補償した後に，差動信号で入力する必要があります．HDTV機器とのインターフェースとしては，FPGA以外にはケーブル・イコライザとケーブル・ドライバだけという構成になります（**図3**）．

なお，ケーブル・ドライバにはGennum社の「GS1528A」やNational Semiconductor社の「LMH0202」，米国Maxim

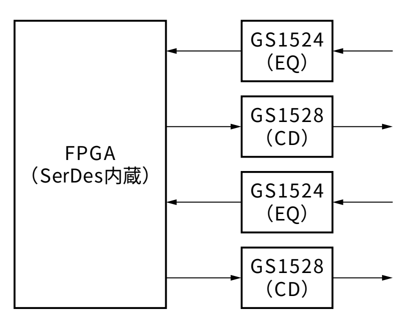



**図3　2チャネルのハイビジョン信号を送受信するブロックの構成**
FPGA以外にはケーブル・イコライザとケーブル・ドライバだけという構成

Integrated Products社の「MAX3812」などが利用できます．ケーブル・イコライザにはGennum社の「GS1524」やNational Semiconductor社の「LMH0044」，Maxim社の「MAX3810」などが利用できます．

## 2. FPGAでHD-SDIを実現する

米国Altera社のStratix GXシリーズは，マルチギガビット・トランシーバを4～20チャネル，米国Xilinx社のVirtex-II Proシリーズは4～24チャネル搭載しており，それぞれ独立して使用できます．

マルチギガビット・トランシーバは，ハード・マクロとしてFPGAの内部に組み込まれています．また，クロック・リカバリ・ユニット，シリアライザ，デシリアライザ，ワード・アライナ，レート・マッチャ，チャネル・アライナ，8b/10bエンコーダと同デコーダ，エラスティック・バッファなどの機能ブロックを内蔵しており，最小限の外付け部品で高速シリアル・インターフェースを利用できます．

マルチギガビット・トランシーバが標準でサポートしている伝送規格には，Fibre ChannelやギガビットEthernet，XAUI，Serial RapidIOなどがあります．これらの規格であれば，ユーザはマルチギガビット・トランシーバ内のハードマクロ化された機能を使うことで，比較的簡単に高速インターフェース規格を実現できます．

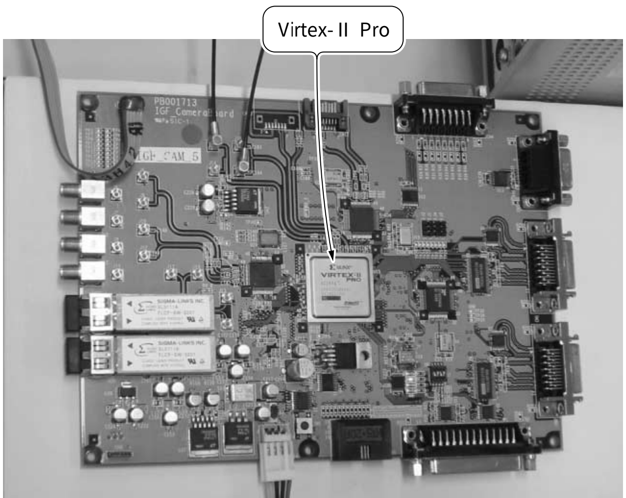
しかし，残念ながらこのマルチギガビット・トランシーバ・ブロックの内部には，HD-SDIで使うために必要な伝送路符合化やCRC符合化などのブロックはありません．この点は，HD-SDI専用ではない多くのSerDesデバイスも同じです．そのため，マルチギガビット・トランシーバ内の8b/10bエンコーダやワード・アライナ，レート・マッチャなどのすべてをバイパスし，単純にクロック・リカバリ・ユニット，シリアライザ/デシリアライザ・ブロックだけを使うカスタム・モードで使用します．つまり，伝送路符合化回路やCRC回路などはFPGAの内部セルを使って実現することになります．これはSerDesデバイスと低価格FPGAを組み合わせる場合も同様です．

この記事の執筆にあたり，以前，別の目的のために作成した社内用評価ボード(**写真1**)を使い，Virtex-II Pro内部にHD-SDIインターフェース回路を実装してテスト・パターンを表示させました(**写真2**，**図4**)．

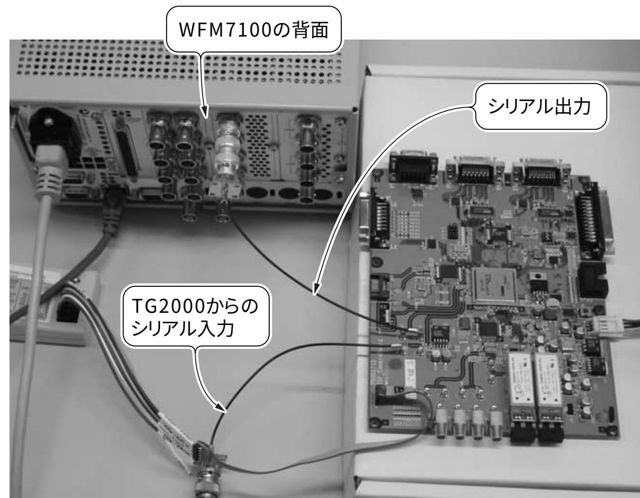
FPGAの内部セルを使って実現すべき論理回路(フォーマッタ/デフォーマッタ)を，実際にうまく組み込むことができるのか，また動作するのかを実験しました(**写真3**)．結果としては，伝送されたタイミング・リファレンス・コード，ライン番号，CRC，不正なコードが含まれていないことなど，HD-SDIのデータ・フォーマットとして論理的に問題がないことを確認しました．

なお，本ボードは別の用途に開発されたもので，入力部にHD-SDI用のケーブル・イコライザを，出力部にケーブル・ドライバを搭載しておらず，パターンや接続ケーブル

6




(a) ボードの外観




(b) 接続図

**写真1 Virtex-II Proを搭載した評価ボード**
HD-SDIインターフェース回路を実現してテスト・パターンを表示させた

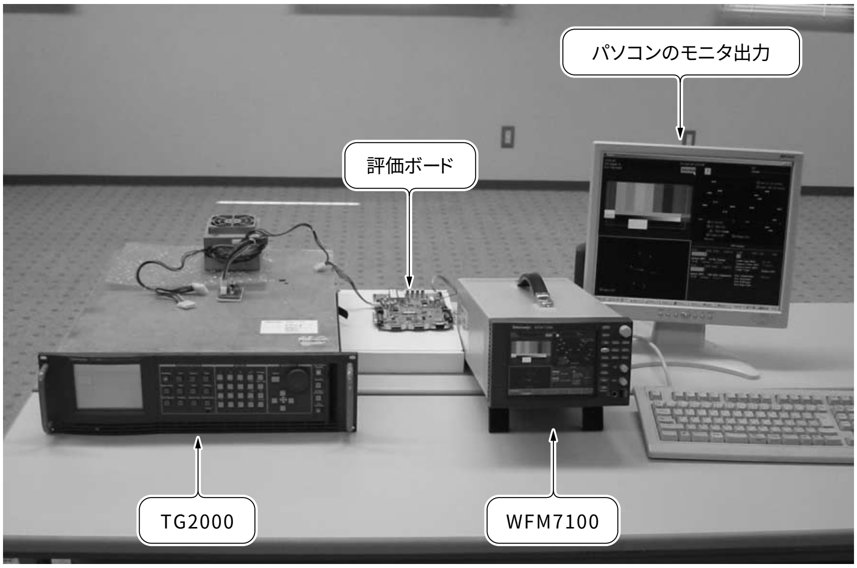



**写真2　実験の全景**

WFM7100（米国Tektronix社製）はマルチフォーマットに対応したビデオ波形モニタ．機能を追加・拡張すればHD-SDIに対応したモニタリング，データ解析機能，および測定機能などを利用できる．TG2000（同社製）はマルチフォーマットでアナログ/ディジタルのどちらにも対応するテレビ信号ジェネレータ．ストレス・テストやユーザ定義のテストも行える

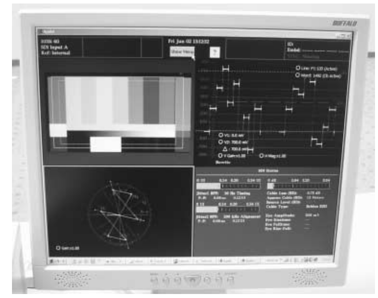


**写真3　WFM7100の画面をパソコン表示したもの**

第1象限（右上）では，ボウタイはコンポーネントの各チャネル間のタイミングを測定する．ただし，この測定を行う場合は，カラー・バーではなく専用のテスト・パターンを使う必要がある．第2象限（左上）では，入力されている信号をデコードしてピクチャとして見せている．第3象限（左下）では，疑似コンポジット表示機能により，コンポジットのベクタ表示を実現している．第4象限（右下）では，SDI信号のパラメータを一括表示する．ジッタや，アイパターンの測定値，ケーブル長などが表示されている

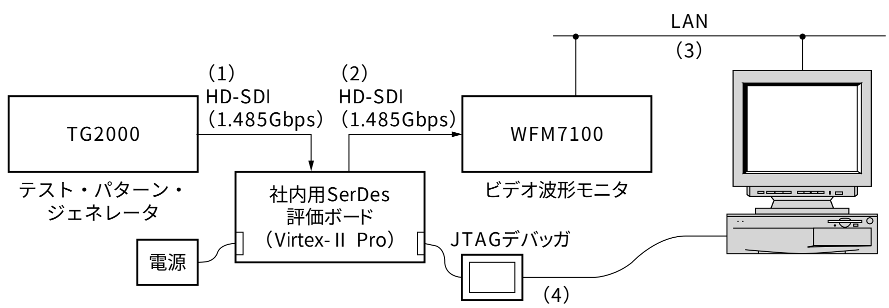



**図4**
**実験時の機材接続図**

(1)はTG2000から評価ボードへのHD-SDI信号．(2)は評価ボードからWFM7100へのHD-SDI信号．(3)はパソコンからWFM7100を制御したり画面のコピーを取ったりするためのLANケーブル．(4)はJTAGプログラミング・ケーブル

の特性インピーダンスもHD-SDI規格とは違っており，高周波部分の調整もとくに行っていません．そのため，伝送されるデータの論理的な確認は行ったものの，波形やジッタなどのアナログ的な性能については，詳しい測定を行いませんでした．

## 3．回路設計時はジッタに注意

HD-SDIで重要なポイントとなるジッタについての規定を**表2**に示します．HD-SDIでは10Hz以上の成分を持ったジッタであるタイミング・ジッタと，100kHz以上の成分を持ったジッタであるアライメント・ジッタの2種類が規定されています．

タイミング・ジッタについては，クロック・リカバリ回路の追従が可能ですが，画質の劣化につながるため，1.0UI以内と規定されています．1.0UIとは，1.5Gサンプル/sの1クロックに相当する時間を表します．同じように100kHzの成分を持つアライメント・ジッタについては0.2UI以下と規定されています．

HD-SDIでは一般にシリアル・データ受信時の再生クロックがそのまま映像クロックやシステム処理クロック，処理後のHD-SDI出力クロックとして使われます．受信，送信間のジッタの加算を抑制するため，受信側のクロック・リカバリ回路にはジッタを十分に吸収できる性能が必要になります．しかし，利用するデバイスによっては十分な性能が得られない場合もあります．再生クロックがジッタを含んで出力された場合，これをもう一度，送信クロックとして使ってしまうと，そのジッタが加算されてしまい，アライメント・ジッタ0.2UI以下という規定を満足することが難しくなってしまいます．このような場合，VCXO（電

圧制御水晶発振器）などを使ったジッタ・クリーナ回路を付加するなどの検討・対策が必要です．

いったん装置内に取り込んだデータを，CPUやDSPなどを使って画像処理した後に（装置内のオシレータを使って）出力するような場合や単純なフレーム・グラバ・ボードでは，取り込み時のジッタを無視できるので，ジッタ・クリーナはとくに必要ないでしょう．

## 4．基板設計時の注意点

信頼性の高い基板を設計するためには，ICメーカが設定しているレイアウトおよびシグナル・インテグリティ設計の規則に従うことが基本です．あたりまえのことですがSerDesやPLL（phase-locked loop）部分には，クリーンで十分な電力の供給が必要ですし，低周波ノイズに対するデカップリングと高周波ノイズに対するデカップリングを検討する必要もあります．

デカップリングの量は，LSIの出力スイッチング数，負荷キャパシタ，スルーレートなどに依存します．高周波ノイズ用のデカップリング・コンデンサはできるだけ電源ピンの直近に配置し，パターンによる不要な直列インダクタンスを生成しないようにする必要があります．アナログ回路はディジタル回路の影響を受けやすいため，パワー・プレーンやグラウンド・プレーンをディジタル回路のそれと別々にするか否かなどを考慮する必要があります．また，高速伝送経路の厳密な配線ガイドラインを遵守することも必要です．

とても難しいことですが，配線に関しては，基板でどこまでマージンを許容できるかを明確にすることも非常にたいせつです．つまり，システム全体のマージン計算が重要になります．例えば，1枚の基板上に送信と受信のどちらのデバイスも搭載されるようなボードであれば，マージン計算が比較的容易なため，いくらGHzという高速伝送であっても基板設計の難しさは半減します．通常のシステムでは，かならず複数のボード，コネクタ，ケーブルなどが使われるため，結局は基板側でやれることは全部やっておくということになってしまいがちです．このことが設計費の増大や納期の遅延を招く原因となることがあり，システム設計者や基板設計者としてはつらいところです．以下に高速基板における検討課題を示します．設計時の参考にしてください．

**表2[3] ジッタの仕様**

| 規　定 | 備　考 |
|---|---|
| 10Hz | タイミング・ジッタの低域幅 |
| 100kHz | アライメント・ジッタの低域幅 |
| 1/10クロック・レート以下 | ジッタ測定の高域幅 |
| 1UI | タイミング・ジッタ |
| 0.2UI | アライメント・ジッタ（UI＝unit interval） |
| カラー・バー | テスト信号 |
| ≠10（推奨） | シリアル・クロックの分周化 |

### ● 基板の選定，特性インピーダンス整合

- 何層の基板が必要か．物理的な配線の可否やノイズを意識する
- 高速信号を外層で配線するのか，放射ノイズも考慮して内層で配線するのか
- 差動インピーダンスを決定する．ライン，スペース，ピッチから理想値を見つける
- ビア構造（最適な穴径，ランド径），差動ビアのピッチ，グラウンド・ビアの配置などを考慮する
- 材料を検討する．コスト重視でFR-4か，性能重視で低損失の基板かなど

実際のベアボードの品質でいえば，まずは特性インピーダンスのコントロールが重要です．インピーダンス・コントロールを行うために，一般的な計算式によって決まるパラメータを用いてパターン設計を行っても（さまざまな要因から）実際に作成した基板の実測値とは異なってしまう場合が多いのです．したがって，基板（製造）メーカから特性インピーダンスの指定値に対応した基板仕様をあらかじめ入手することが重要です．

基板（製造）メーカの選定に際しては，その会社が特性インピーダンス・コントロールに対応した製造・検査能力を持っているどうかを確認する必要があります．これは電気特性が明らかな基板を入手するために重要です．

### ● 高速伝送線路の経路や配線長

- 差動配線で完全に設計できるのか．BGA引き出し部など，シングル・エンドになるところはないのか．
- 差動信号のACカップリングを行う．コンデンサは差動信号のプラスとマイナスの同じ位置に対称にして配置する．集合コンデンサは使わない
- テスト・ポイントやプロービング用ランドの構造を決める．スタブを作らないようにする
- 隣接する層は上下ともにグラウンドになっているか

6

- ビアのスタブがなくなるように配線層を設計しているか
- 引き出し部分における配線長差は問題ないか．配線長差と差動インピーダンス整合のどちらを優先するのが良いか
- リターン電流用のグラウンド・ビアの配置
- 配線の曲げ部分のR処理

信号伝送の高速化にともない，基板配線の減衰量をコントロールする要求も活発化してきています．技術力に定評のある基板メーカでは，長さの異なるテスト用パターンを基板製造時に取り付け，ネットワーク・アナライザを使い単位長さ当たりの減衰量を実測する取り組みを行っています．

**● シミュレーションによる検証**

- 差動配線，ビア部分の*S*パラメータによる評価
- 回路シミュレータによるアイパターン評価
- 電源共振解析

高速信号の伝送では，ドライバが送った信号が，基板配線やコネクタ，ケーブルなどの伝送路で損失し，レシーバ側で適正な電圧値が得られないことがあります．したがって，基板パターン設計前に，レシーバ側で得られるであろう波形のシミュレーションを行い，より安価な部品の採用や，基板パターンの設計仕様の検討を行うことは有効な手段です．しかし，このようなシミュレーションを行うにはコネクタやケーブルの電気モデル（SPICEモデルなど）が必要なのですが，この入手は非常に難しく，結果として実用的なシミュレーションの実施が困難な場合が少なくありません．このような問題を解決するために，基板メーカがコネクタやケーブルのデータベースを構築し，Webサイトで提供する動きも出てきています．

＊　　＊　　＊

最後に新しい伝送規格である「3Gbps SDI」を紹介します．現在，1080pをサポートするためにテレビ番組などの制作スタジオで使用されている方法は，カメラやミキシング装置，録画装置などを2本のケーブルでつなぐデュアル・リンク接続（SMPTE 372）と呼ばれる方法です．デュアル・リンク接続は2本の（シングル・リンク）HD-SDIのケーブルを必要とするため，装置のコストが上昇し，スタジオ内の設備は複雑になります．SMPTE（Society of Motion Picture and Television Engineers；全米映画テレビジョン技術者協会）委員会では，SMPTE 424Mと呼ばれるケーブル1本で装置間をインターフェースできる1080p対応の標準規格を開発しています．1本のケーブルで2.970Gbpsでインターフェースする，つまり3Gbps SDIです．同委員会は3Gbps SDIの標準化を進め，現在はSMPTE 424Mの初期トライアル版が定義されています．この新規格により，ハードウェア設計が簡素化され，コスト上昇と設備の複雑さが抑えられます．

3Gbps SDIに対応したケーブル・ドライバとイコライザはすでに入手可能なようです．しかし，筆者の知る範囲では専用のシリアライザ/デシリアライザはまだ存在しないようです（2006年6月現在）．このような状況でこの3Gbps SDI評価をいち早く行うためには，すでに入手可能な3.0 Gbps以上の高速シリアル・インターフェース・ブロックを搭載したFPGAなどを利用するのが非常に有効な手段と考えます．なお，ケーブル・ドライバやイコライザ，リクロッカはGennum社のGS2978，GS2974，GS2975を利用できます．


**参考・引用＊文献**

(1)＊伊能英男；1.485Gbpsハイビジョン放送用インターフェースの設計事例，Design Wave Magazine，2004年3月号，pp.68-74.
(2) 宇野潤三訳；SMPTEデジタル規格集, SMPTE259M-1997，兼六館出版，1998年.
(3) 宇野潤三訳；SMPTEデジタル規格集2 HDTV, SMPTE292M-1998，兼六館出版，2001年.
(4) Altera社；Stratix GXデバイス・ファミリ，http://www.altera.co.jp/products/devices/stratixgx/sgx-index.jsp
(5) Xilinx社；Virtex-II Proデータ・シート，http://www.xilinx.co.jp/products/silicon_solutions/fpgas/virtex/virtex_ii_pro_fpgas/
(6) HD-SDI Products，Gennum，http://www.gennum.com/vb/applications/hd_sdi.htm
(7) Fiber and Communications，Maxim，http://www.maxim-ic.com/Fiber.cfm
(8) National Semiconductor；LMH0044データシート，http://www.national.com/pf/LM/LMH0044.html



**かわかみ・たかし**
**(株)グラフイン　東北開発センター**


**<筆者プロフィール>**
**川上 誉．自称エンジニア，実は限りなく元エンジニア．最近はどうしたらキレイなアイパターンを伝送できるのか日夜妄想中（笑）．この執筆にあたり，お世話になった基板設計メーカさんを次に示します．アイカ工業（http://www.aica.co.jp/electronics/），イビテック（http://www.ibitech.co.jp/）．**